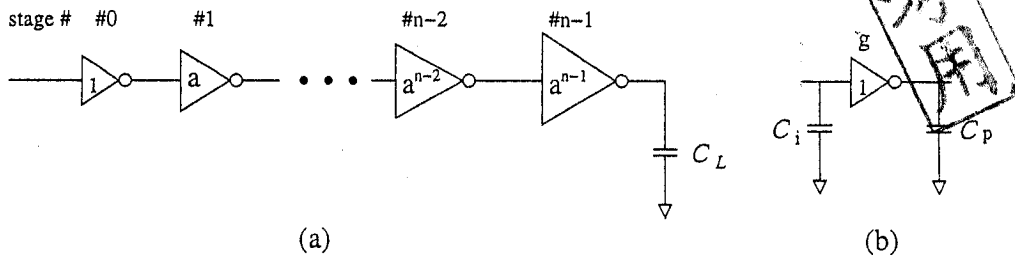


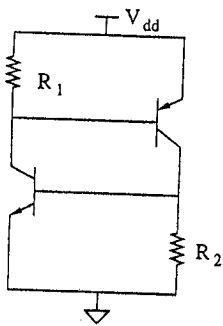
系所別: 電機工程學系 甲組 科目: 超大型積體電路設計導論

1. (20分) 圖一(a)為一用來驅動電容負載 (C_L) 之 n 個串接反相器 (inverters)。假設每一級反相器 PMOS 對 NMOS 的大小比值 (aspect ratio) 均相同。若每一級為前一級的 a 倍且第一級為一最小 size 的反相器。最小 size 反相器之電導 (conductance)、開極輸入電容 (gate input capacitance) 及寄生電容 (parasitic capacitance) 分別為 g 、 C_i 及 C_p 如圖一(b)所示。
 - A. 請列出一個反相器延遲 (delay) 與電容、電導之關係式及功率 (power) 與電容、電壓之關係式。(6分)
 - B. 假如不考慮寄生電容之效應。請推導出最佳之級比 (stage-ratio) a_{opt} ，使得此電路有最小之延遲功率乘積 (power-delay product)。(7分)
 - C. 若將寄生電容之效應考慮進去。請推導出最佳之級比 (stage-ratio) a_{opt} ，使得此電路有最小之延遲功率乘積 (power-delay product)。(7分)

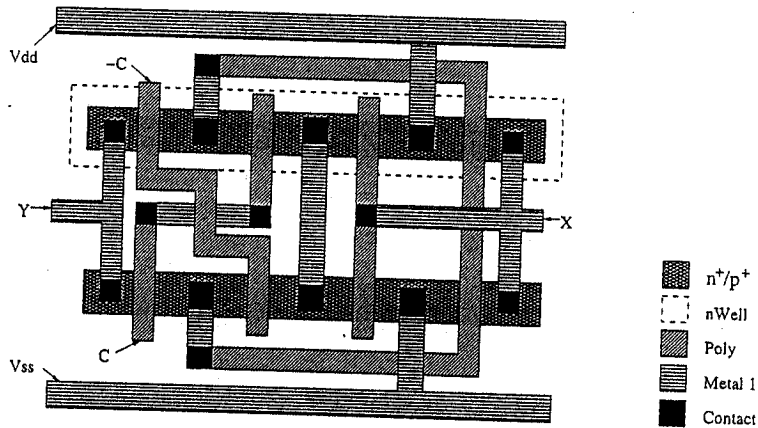


圖一

2. (17分) 在一個 CMOS 技術製作之電路中，可能會有 Latchup 現象發生。圖二描述 Latchup 的等效電路。
 - A. 利用圖二解釋為什麼 Latchup 會傷害晶片。(5分)
 - B. 舉兩個可以防止 Latchup 的技術。(6分)
 - C. 畫出圖三所示佈局 (layout) 之相對的 CMOS 電晶體階層 (transistor-level) 電路。(6分)

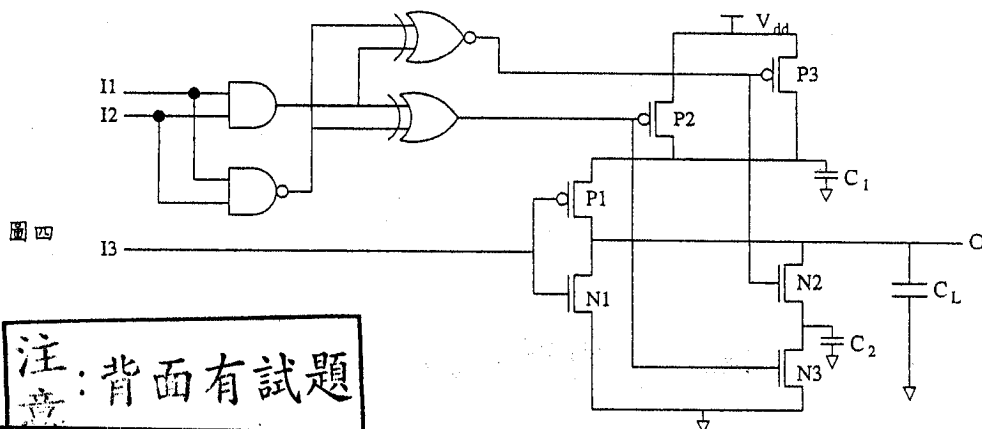


圖二



圖三

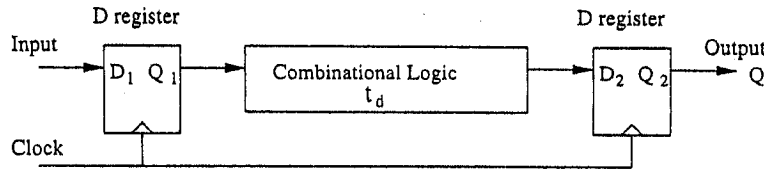
3. (15分) 圖四為一有三個輸入 (I_1 、 I_2 、 I_3) 及一個輸出 (O) 之 CMOS 邏輯電路。假設 N_1 、 N_2 、 N_3 、 P_1 、 P_2 及 P_3 之等效電阻為 R_{N1} 、 R_{N2} 、 R_{N3} 、 R_{P1} 、 R_{P2} 及 R_{P3} 。此電路輸出 O 接一負載電容 C_L 且最後一級的三輸入開極有寄生電容 C_1 及 C_2 。如果我們在電路輸入端 (I_1 、 I_2 、 I_3) 給所有可能的輸入組合。請用 Elmore model 推導出最後一級三輸入開極的最差 (worse-case) 上升時間 (rise time) 及下降時間 (fall time)。(15分)



注意：背面有試題

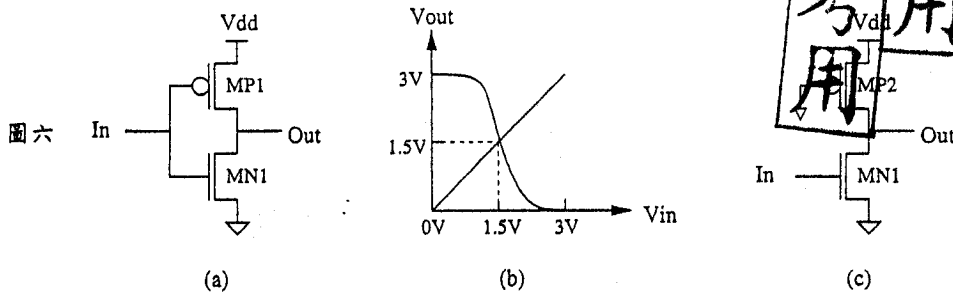
系所別: 電機工程學系 甲組 科目: 超大型積體電路設計導論

4. (15分) 一個管導式系統 (pipeline system) 如圖五所示。假設 D 暫存器 (register) 為正緣驅動且 set-up time 為 t_s , hold time 為 t_h , clock-to-Q 延遲時間為 t_{cq} , t_d 為組合邏輯 (combinational logic) 之延遲時間。
- 請列出 clock 最短 cycle time 之公式, $t_c = ?$ (5分)
 - 設計一個正緣驅動 D register 之邏輯電路圖。需標明 D, Q 及 clock 信號。(5分)
 - 繪出一個完成 B 小題之 static 電路 (transistor level) 之線路圖。(5分)



圖五

5. (16分) 一個 CMOS 反相器電路如圖六 (a) 所示, 使用 0.35um CMOS 製程 ($W_{min}=L_{min}=0.35\mu m$), 設計時利用表一。
- 若要使此 CMOS 反相器有對稱式之 DC 轉換曲線 (transfer curve) 如圖六 (b) 所示, 則最小 size 之 inverter 其 PMOS 及 NMOS 之尺寸大約為何? 說明之? (5分)
 - 圖六 (c) 之 pseudo NMOS 其 MP2 及 MN1 之設計考量為何? 其特性和圖六 (a) 之 inverter 在速度 (t_r or t_f time), 輸出訊號準位及功率上有何不同? (6分)
 - 若圖 (a) 之 Inverter 接在一個 pseudo-NMOS inverter (如圖六 (c)) 之後, 欲使圖六 (a) 之電路有相同之邏輯 1 及邏輯 0 Noise Margin 則 MP1 及 MN1 之尺寸該如何調整? 說明之。(5分)

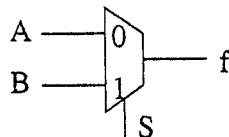


表一

$\mu_n C_{ox} = 100 \mu A/V^2$	$\mu_p C_{ox} = 50 \mu A/V^2$
$C_{ox} = 40 \times 10^{-4} pF/\mu m^2$	Thin Oxide (Poly) Capacitance
$C_{ja} = 4 \times 10^{-4} pF/\mu m^2$	Diffusion Capacitance
$C_{jM} = 4 \times 10^{-4} pF/\mu m^2$	Metal Capacitance
$V_{dd} = 3V$	
$V_{tn} = 0.5V$	$V_{tp} = -0.5V$

6. (17分) 一個 2-to-1 多工器 (multiplexer) 之輸入為 A、B, 選擇信號為 S, 輸出為 f, 其布林函數為 $f = \bar{S}A + SB$ 。其功能方塊圖如圖七所示。在下列設計時, 嘗試用最少之電晶體。

- 用 CMOS 互補式 (complementary) 邏輯設計。請繪出電晶體階層 (transistor-level) 之電路圖。並寫出電晶體個數。(5分)
- 用 pass-transistor (NMOS only) 邏輯及 transmission gate (又名 complementary pass-transistor logic, NMOS 及 PMOS 並聯) 來設計此電路。(6分)
- 說明 (B) 題中, 兩種電路之電氣 (electrical) 特性優劣點。(6分)



圖七