

國立中央大學九十一年度碩士班研究生入學試題卷

所別: 電機工程學系 甲組 科目: 超大型積體電路設計導論 共 2 頁 第 1 頁

利用以下數據回答下列問題

$\mu_n C_{ox} = 100 \mu A/V^2$	$\mu_p C_{ox} = 50 \mu A/V^2$
$C_{ox} = 40 \times 10^{-4} pF/\mu m^2$	Thin Oxide (Poly) Capacitance
$C_{jd} = 4 \times 10^{-4} pF/\mu m^2$	Diffusion Capacitance
$C_{jM} = 4 \times 10^{-4} pF/\mu m^2$	Metal Capacitance
$V_{dd} = 3V$	
$V_m = 0.5V$	$V_{tp} = -0.7V$

若表中未有提到的其他效應可以不用考慮。

1. (25%) 功率消耗問題。
 - (a) 推導出動態功率 Dynamic Power 消耗的公式，不用考慮短路電流 Short Circuit Current。(15%)
 - (b) 若一個 $1cm \times 1cm$ 大小的晶片，若 5% 的面積為 Poly，10% 的面積為 Diffusion，30% 的面積為 Metal，若工作頻率為 1GHz，試估算總電容大小，以及最大可能的功率消耗。(10%)

2. (25%) 假設 Inverter 的 Rise Time 及 Fall Time 約略等於其線性區通道電阻與負載電容的時間常數 RC Time Constant。假設一個基本的 Inverter 的 NMOS 電晶體大小為 $0.5\mu m \times 0.25\mu m$ ，通道電阻為 $100K\Omega$ ，閘級電容 C_{gn} 為 1fF，並假設 PMOS 與 NMOS 有相同之通道電阻。
 - (a) 問 PMOS 電晶體的大小及其閘級電容 C_{gp} 大小為何？(5%)
 - (b) 若此 Inverter 驅動相同之 Inverter，問 $T_d = T_{rise} + T_{fall}$ 為多少 ps。(5%)
 - (c) 若把兩個 Inverters 都放大 K 倍，請導出 $T_d = T_{rise} + T_{fall}$ 的公式。(5%)
 - (d) 若兩個 K 倍大的 Inverters 之間有一個 10fF 的導線負載電容，請導出 $T_d = T_{rise} + T_{fall}$ 的公式。(5%)
 - (e) 若一個 Complex Gate $f = (AB + CD) \cdot E$ 要與上述基本的 Inverter 具有相同的時間延遲特性，請畫出其電路圖，並標示出每一個電晶體的大小 (W/L)。(5%)

3. Design the logic of function for the sum function for an adder using the:
 - (a) Using Pseudo NMOS logic,
 - (b) Using pass-transistor network.
$$S = ABC + A'B'C' + A'B'C + A'B'C' \quad (16\%)$$

4. The τ -model is used to design the buffering problem. Assume the equivalent input capacitance C_{in} of an inverter is 0.01pF and the delay time when its load is an identical size inverter is 1.0 ns. This inverter is used to drive an output pin with a capacitance of $C_L = 11 pF$. For a minimum average delay time, how many buffering inverters should be used? What is the minimum average delay time? (8%)

參考用

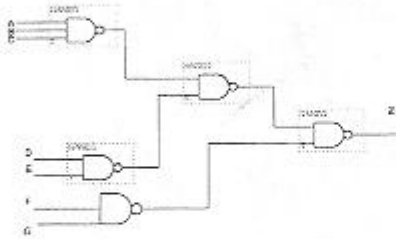
注意：背面有試題

國立中央大學九十一學年度碩士班研究生入學試題卷

所別: 電機工程學系 甲組 科目: 超大型積體電路設計導論 共 2 頁 第 2 頁

5. For the circuit given below, obtain an equivalent complex gate realization at the transistor level using static CMOS design. (16%)

- (a) Derive the N-network.
- (b) Derive the dual P-network.



6. From the Layout diagram, please draw the schematic circuit block diagram and describe the operation of the circuit. (10%)

