

國立中央大學九十一學年度碩士班研究生入學試題卷

所別: 電機工程學系 甲組 科目: 計算機組織 共 2 頁 第 1 頁

一、簡答題：(17%)

- (1) 請將 133_{10} 轉換為兩位元的十六進位數字。(2%)
- (2) 給定一個八位元的二進位數字 11011010, 若將其視為 two's complement 的數字, 則其代表的十進位數字為何?(2%)
- (3) 承(2), 若將這個二進位數字視為 unsigned number, 則其代表的十進位數字為何?(2%)
- (4) 請將 -331.375_{10} 以 IEEE 754 single precision floating-point 的規格表示出來。(為了方便驗證, 請作答時每隔四個位元加一個逗點, 如: 0101,1010,...) (3%)
- (5) 請簡短解釋 bus arbitration 所使用的 centralized (or parallel) arbitration 機制。(4%)
- (6) 請簡短解釋 I/O operation 所使用的 polling 機制。(4%)

二、效能評估：(12%)

Instruction Class	CPI on M1	CPI on M2	C1 usage	C2 usage
A	1	2	30 %	20 %
B	2	4	50 %	30 %
C	3	3	20 %	50 %

- (1) 若我們所使用的指令大致可以分為 A, B, C 三類, 而各類指令在 M1 與 M2 這兩台不同機器上執行所需的 clock cycle 數目如上表所列, 假設 M1 的時脈頻率為 500 MHz, 而 M2 的時脈頻率為 750 MHz, 且各類指令出現的機率相等, 那麼平均來說哪台機器的執行時間較短? 請以算式詳細解釋你的看法。(4%)
- (2) 承(1), 若某一測試程式經 C1 這個 compiler 編譯之後, 各類指令的出現比率如上表所列, 則哪台機器的執行時間較短? 若改由 C2 這個 compiler 編譯, 則哪台機器的執行時間較短? 請以算式詳細解釋你的看法。(4%)
- (3) 假設 M1 與 M2 這兩台機器的價錢相同, C1 和 C2 這兩套 compiler 的價錢也相同, 若是根據(2)的測試程式分析數據, 你會購買哪一台機器? 請簡短解釋你的理由。(4%)

三、Addressing modes：(10%)

- (1) 若我們自行設計的機器中所使用的 instruction 只有一種 addressing mode, 其中包含四個欄位, 分別為 op (所執行的指令), r1 (第一個運算元所存放的暫存器), r2 (第二個運算元所存放的暫存器), 以及 rd (運算結果所存放的暫存器), 假設這部機器共有 46 個不同的指令以及 16 個暫存器, 那麼每個欄位至少需要幾個位元來表示?(4%)
- (2) 若有一 MIPS 指令為 lw \$S1, 100(\$S2), 請問它採用的是何種 addressing mode?(3%)
- (3) 承(2), 若 S1 與 S2 這兩個暫存器所存的值各為 192 與 578, 請問這個 load operation 會從哪個 memory address 去讀取資料?(3%)

注意：背面有試題

國立中央大學九十一年度碩士班研究生入學試題卷

所別： 電機工程學系 甲組 科目： 計算機組織 共 2 頁 第 2 頁

四、ALU 設計：(20%)

- (1) 請運用 1-bit FAs 及任何其他的 logic gates, 設計一個處理 4-bit two's complement numbers 的加減器, 可以計算 $A+B$ 及 $A-B$ 。它的兩個 data input A, B 各為 4-bit, 它的 data output O 也是 4-bit, 除此之外, 它還有一個 1-bit 的 input Sel 可以決定計算加法或減法, 以及一個 1-bit 的 output Overflow 可以偵測出 overflow 的狀況。請將你的設計用 logic diagram 的方式表現出來, 並說明各個控制信號所代表的意義。(10%)
- (2) 承(1), 請擴充上一小題所設計出的電路, 完成一個處理 4-bit two's complement numbers 的 ALU, 可以計算下列四個功能: $A+B$, $A-B$, $|A+B|$, $|A-B|$ 。除了 ALU 的控制信號 Sel 改為 2-bit 之外, 其餘的輸出輸入信號皆與(1)相同。請將此 ALU 用 logic diagram 的方式表現出來, 並說明各個控制信號所代表的意義。(10%)

五、Memory hierarchy：(20%)

- (1) 請畫一簡圖並說明一個電腦系統中 on-chip caches, off-chip caches, main memory 以及 hard disk 之間的關係。(4%)
- (2) 若有一個電腦系統, 其使用的處理器位址長度是 32 位元(byte addressing), 而 data cache 有 8K blocks, 每個 block 有 4 個 words (each word is 32 bits), 請解釋此 32 位元的 address 欄位應如何劃分。(4%)
- (3) 承(2), 請設計出這個 data cache 並畫出其 block diagram。(6%)
- (4) 承(2), 若把 data cache 的大小改為 4K words, 請問整個 data cache 的大小會變成多少?(6%)

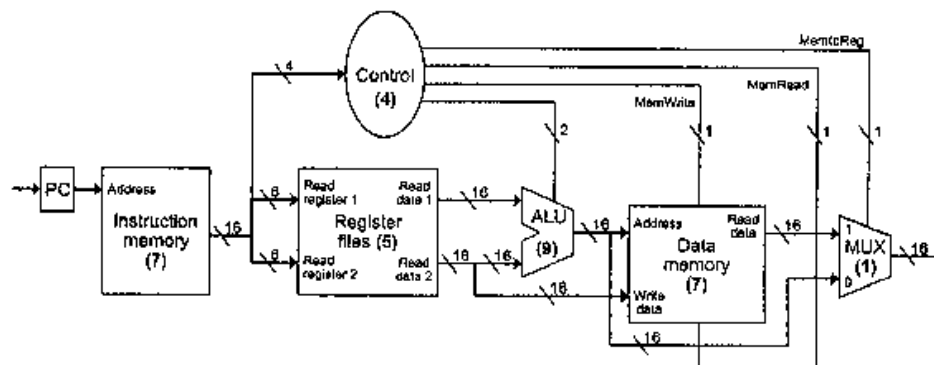
六、Hazards in a pipelining processor：(9%)

在一個 pipelining processor 裡面, 有時候會發生下一個指令無法在下一個 clock cycle 裡緊接著執行的狀況, 這種狀況被稱之為 hazard。

- (1) 請寫出可能發生的三種不同的 hazard 名稱。(3%)
- (2) 請為每一種可能的 hazard 舉一個例子並具體說明其意義。(6%)

七、Pipelining design：(12%)

- (1) 下圖是一個處理器設計的方塊圖, 若我們想要將這個處理器分成四個 pipeline stages, 亦即插入三組 pipelining registers, 請問這些 pipelining registers 應該要插在何處? 請在你的答案紙上將這個方塊圖重畫一遍, 並將你所插入的 pipelining registers 畫上去。(4%)
- (2) 承(1), 請計算出你總共插入了多少個位元的 registers。(4%)
- (3) 承(1), 若這個處理器中每個方塊的 delay 如圖中括號裡所示(單位為 ns), 假設 pipelining registers 的 delay 忽略不計, 那麼你所設計的 pipeline 處理器最快的運作頻率為何?(4%)



參考用