

# 國立中央大學八十七學年度碩士班研究生入學試題卷

所別: 電機工程研究所 乙組 科目: 半導體元件 共 2 頁 第 1 頁

1.

- (5%) 何謂 lattice or phonon scattering? 它與 carrier mobility 有關嗎? 若溫度上升, 這種 scattering 會使 mobility 如何變化?
- (5%) 何謂 quasi-Fermi levels? 請畫出一 pn junction 順偏壓時之 energy-band diagram, 並且在圖上標示 quasi-Fermi levels.
- (5%) 下列的電洞連續方程式, 是否有正負號錯誤? 若有請更正, 並說明方程式中每一項之物理意義.

$$\frac{1}{q} \frac{\partial J_p}{\partial x} - \frac{p - p_0}{\tau_p} = - \frac{\partial p}{\partial t}$$

- (5%) 一個 pn junction 順偏下的 I-V 曲線如 Fig. 1-1 所示, 在偏壓  $V_D$  太大或太小時, 電流都偏離原來之理想曲線, 請解釋為什麼?

2.

Let us consider an n-type silicon wafer with impurity distribution shown in Fig. 2-1. Assume that all the impurity atoms are ionized and that the electron density  $n$  is equal to  $N_d(x)$  in Fig. 2-1. Note that the silicon wafer is under equilibrium.

- (5%) 畫出對應的 energy-band diagram, 及 built-in electric field  $\epsilon(x)$  vs.  $x$  之圖形.
- (5%) 導出任一點  $x$  的 built-in electric field  $\epsilon(x)$  之表示式.
- (5%) 若 impurity  $N_d(x)$  改成  $N_a(x)$ , 則  $\epsilon(x)$  之表示式該如何修正?

3.

參考 Fig. 3-1, 為求出一 one-sided pn junction 的 transition capacitance, n-type 空乏區之電荷可表示如下:

$$Q = qAN_d x_d = A \sqrt{2qK_s \epsilon_0 (\psi_0 + V_R) N_d}$$

- (5%) 證明 transition or depletion-layer capacitance 可表示如下:

$$C = A \left[ \frac{qK_s \epsilon_0 N_d}{2(V_R + \psi_0)} \right]^{1/2}$$

- (6%) 說明如何由 C-V 的量測圖, 計算出  $N - d$  及  $\psi_0$ .
- (4%) 何謂 diffusion capacitance? 請畫出 pn junction 之小訊號等效電路.

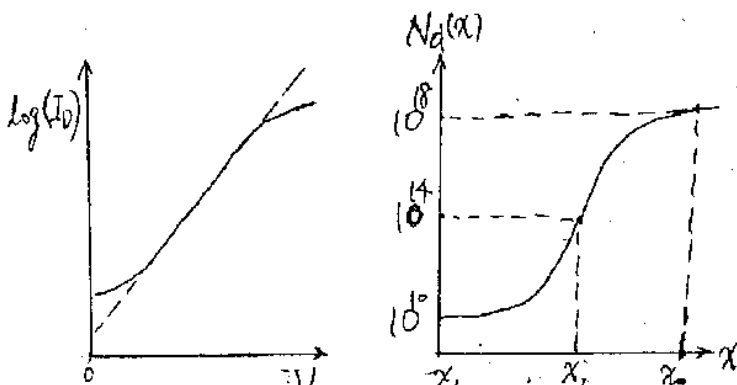


Fig. 1-1

Fig. 2-1

Fig. 3-1

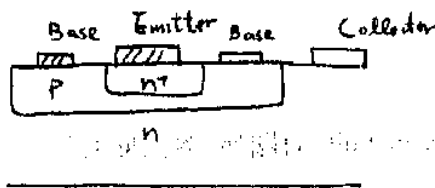


注: 背面有試題

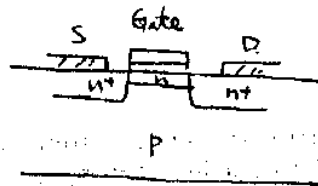
# 國立中央大學八十七學年度碩士班研究生入學試題卷

所別： 電機工程研究所 乙組 科目： 半導體元件 共 2 頁 第 2 頁

4.  
(15%)



npn-BJT

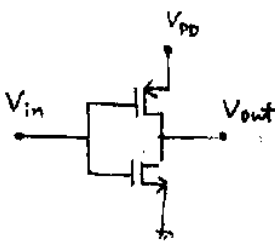


n-MOSFET

電晶體不論是 BJT or MOSFET，其元件的頻率響應取決於載子在元件內傳輸的延遲 (delay)，BJT (npn) 為電子自 emitter 射出到 collector 收集到所需的時間，而 MOSFET (n-型) 為電子自 source 到 drain 所需的時間。請分別就上述 BJT 及 MOSFET 兩元件其電子在傳輸的過程中會遭遇到那些延遲，請分別加以說明？若想要減短這些延遲，請問在 BJT 及 MOSFET 元件設計上可做那些的改進？

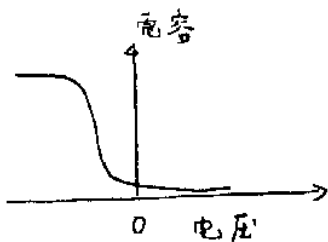
5. JFET, MOSFET 及 MESFET 三者均為場效應電晶體，請問結構上有何不同？(10%) 並說明基本操作原理？

6.  
(12%)



左圖為 CMOS inverter，若  $V_{in}$  由 0V 增加到  $V_{DD}$ ，請畫出  $V_{in}$  與  $V_{out}$  之 transfer curve？並說明在此 curve 的每一段落，n-MOS 與 p-MOS 是分別工作在線性區？飽和區 or 截止區？

7.  
(13%)



左圖為 MOS diode 之 C-V 圖，請問此半導體基板為 n-型 or p-型？為什麼電容會隨著電壓往正方向而減小？此 MOS diode flat-band voltage 是大於 0V or 小於 0V？有那些原因造成 flat-band voltage 不等於 0V？