

# 國立中央大學八十六學年度碩士班研究生入學試題卷

所別： 電機工程研究所 甲組 科目： 數位系統 共 2 頁 第 / 頁

1. (15%)

- 將  $A=49.375$  (10 為底) 轉換為 2 進位之表示。(4%)
- 若  $A=49.375$ ,  $B=37$  (10 為底), 將  $-A$  分別以 10-bit 2 的補數 (2's complement) 及 1 的補數 (1's complement) 數字系統表示。並分別以 10-bit 2 的補數及 1 的補數之數字系統計算出  $B-A$  (6%)
- 使用交換代數 (switching algebra) 來簡化  $f(x,y,z) = \bar{x}y(z + \bar{y}x) + \bar{y}z$ , 簡化過程要完整。(5%)

2. (20%)

- 一個二進位系統有 4 位元 (bit), 分別是  $A_4A_3A_2A_1$  及一個輸出為  $f(A_4, A_3, A_2, A_1)$ 。當  $A_4A_3A_2A_1$  代表之十進位數可為 3 整除時 (餘數為零) 輸出  $f$  為 1 否則  $f$  為 0。
  - 寫出此系統之真值表 (Truth Table)。(3%)
  - 將  $f$  以 sum-of-minterms (canonical sum of product) 的方式表之。(5%)
- 若  $A_4A_3A_2A_1$  代表 BCD (binary coded decimal) 碼如表二所示。當  $A_4A_3A_2A_1$  代表之 BCD 數可為 3 整除時 (餘數為零) 輸出  $f$  為 1 否則  $f$  為 0。
  - 寫出此系統之真值表 (Truth Table)。(3%)
  - 以卡諾圖 (Karnaugh map) 法將  $f$  以最簡之 sum-of-product 的方式表之。(4%)
  - 將 (d) 之  $f$  以最少之 NAND 邏輯閘實現其電路。(5%)

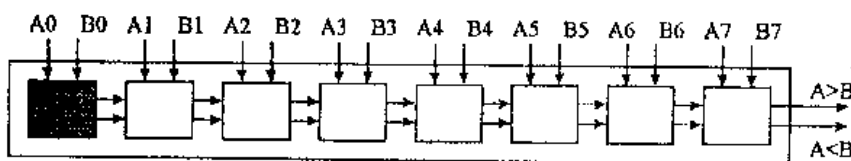
表二 BCD 碼

0:	0000	5:	0101
1:	0001	6:	0110
2:	0010	7:	0111
3:	0011	8:	1000
4:	0100	9:	1001

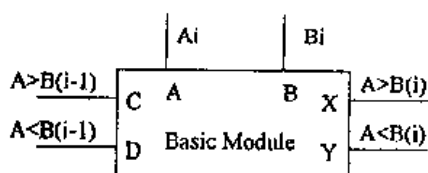
3. (35%)

設計一個比較大小的一次元陣列 (one-dimensional iterative logic array) 如圖 3 (a) 所示, 最後的輸出為  $A > B$  與  $A < B$ 。A7 為最高位 (MSB)。

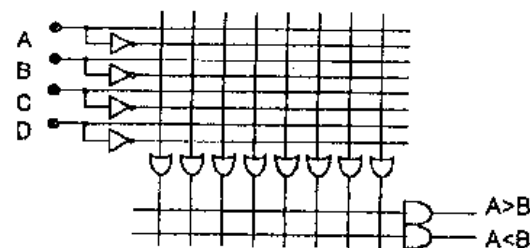
- 畫出其基本模組 (如圖 3 (b)) 的真值表 (以  $A, B, C, D, X, Y$  為變數) (5%)
- 畫出其基本模組的卡諾圖 (K-Map) (5%)
- 寫出最簡之 POS 表示式 (10%)
- 以 NOR gate 實現該電路 (5%)
- 以圖 3 (c) 的 PLA 方式實現該電路 (自行畫於答案紙上) (5%)
- 畫出最左模組的最簡電路 (實心的方塊) (5%)



(a)



(b)



(c)

參考用

注意：背面有試題

# 國立中央大學八十六學年度碩士班研究生入學試題卷

所別： 電機工程研究所 甲組 科目：

數位系統

共 2 頁 第 2 頁

4. (30%)

一個正緣驅動同步 (positive-edge-triggered synchronous) 2-bit 下數計數器度(down counter) 的規格如下：

當控制信號 hold=1 時，counter 值維持在現值

當控制信號 hold=0 時，counter 以 0, 3, 2, 1, 0, 3, 2, 1, 0, ..... 的型式運作

(I).

(a) 畫出它的 state diagram (5%)

(b) 寫出它的 state assignment 及 state table(5%)

(c) 請以 D Flip-Flop 及適當的邏輯閘來設計此同步 down counter. 請寫出詳細設計過程. (15%)

(II). 現另外加同步(synchronous) Reset 控制信號

當 Reset = 1, counter 的值設定為 0

當 Reset = 0, counter 依題(I) 正常運作

(d) 請出畫出此同步 Reset down counter 的 state diagram(5%)