

國立中央大學八十五學年度碩士班研究生入學試題卷

所別: 電機工程研究所 甲組 科目: 數位系統 共 2 頁 第 1 頁

1. (16%)

- 將 55.3125 (10 為底) 轉換為 2 進位之表示。
- 若 $A=37$, $B=-48$ (10 為底), 將 A, B 以 8-bit 2 的補數 (2's complement) 數字系統表示, 並計算出 $A+B$ 。
- 設計一個 4-bit 碼 (code) 來表示 10 進位之 0, 1, 2, ..., 9 等十個數字。此碼要有以下之特性: 任意兩個連續數字之碼間只能有一個 bit 位置之差別, 而且此特性在 9 及 0 之間依然成立。
- 使用交換代數 (switching algebra) 來簡化 $f = ab + a\bar{b}c$, 簡化過程要完整。

2. (24%)

一個數字系統有 4 個輸入, 分別是 A_1, A_2, A_3, A_4 及一個輸出為 $f(A_1, A_2, A_3, A_4)$ 。當輸入信號 1 之個數比 0 之個數多時, 輸出為 1 否則為 0。

- 寫出此系統之真值表 (Truth Table)。
- 將 f 以 sum-of-minterms 的方式表之。
- 將 f 以 product-of-maxterms 的方式表之。
- 將 f 以最簡之 sum of product 的方式表之。
- 將 f 以 NAND 邏輯閘實現其電路。
- 每一 NAND 邏輯閘之延遲時間 (delay time) 為 $n \cdot T_0$, n 為邏輯閘接腳數目, 計算 (e) 之邏輯電路之延遲時間。

3. (15%)

- 請以兩個 NOR Gates 組成一個 SR Latch。
- 寫出該 SR Latch 之 Excitation Table。
- 若再加上兩個 AND Gate 如圖 3-1, 則成爲一個 Gated SR Latch。請畫出其 Excitation Table。
- 以兩個 Gated SR Latch 及 Inverters 組成一個 Rising Edge Trigger 的 Master-Slave SR Flip-Flop。
- 若輸入波形如圖 3-2 則 (d) 中電路之輸出波形爲何?

4. (10%)

1-bit 全加器之真值表如表 4 所示。其中 A, B 及 C_{in} 爲加數、被加數及進位, S 及 C_{out} 爲和及進位輸出。圖 4 爲一可程式邏輯元件 (Programmable Logic Device)。虛線內之每一垂直線及標明 1 至 9 之水平線交叉處均可以 "X" 標明後相連。試以圖 4 (繪於答案卷) 加上適當之 "X", 將 1-bit 全加器實現。設計時請寫出 S 及 C_{out} 之布林函數。

5. (18%)

- 請寫出 3-bit Gray Code Counter 的 Counting Sequence。
- 畫出它的 State Table 及 State Diagram。
- 請以三個 T Flip-Flop 及適當的 Gate 設計出一個同步之 Gray Code Counter。

6. (17%)

- 寫出 Static Hazard 的定義。
- 舉一實際的電路, 畫出電路圖及適當的輸出入波形說明 Static Hazard 的存在。
- 針對圖 6 之 K-Map, 利用 Two-Level NAND-NAND Network 完成一個 Hazard Free 的數位電路。
(註) 輸入變數及其 complement 均爲輸入不用加 Inverter。

國立中央大學八十五學年度碩士班研究生入學試題卷

所別：電機工程研究所 甲組 科目：數位系統 共 2 頁 第 2 頁

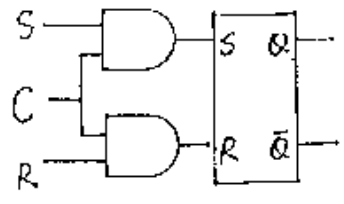


圖 3-1

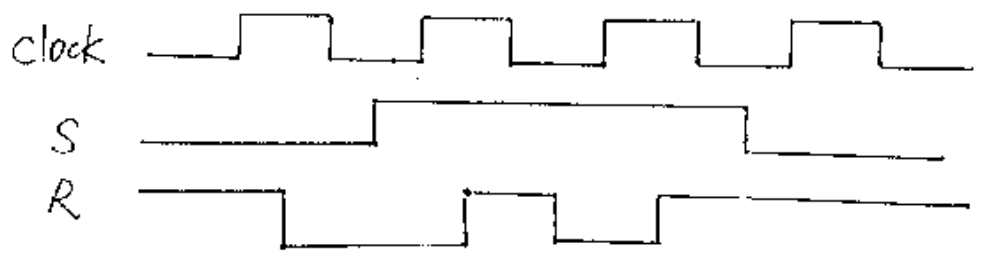


圖 3-2

A	B	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

表 4

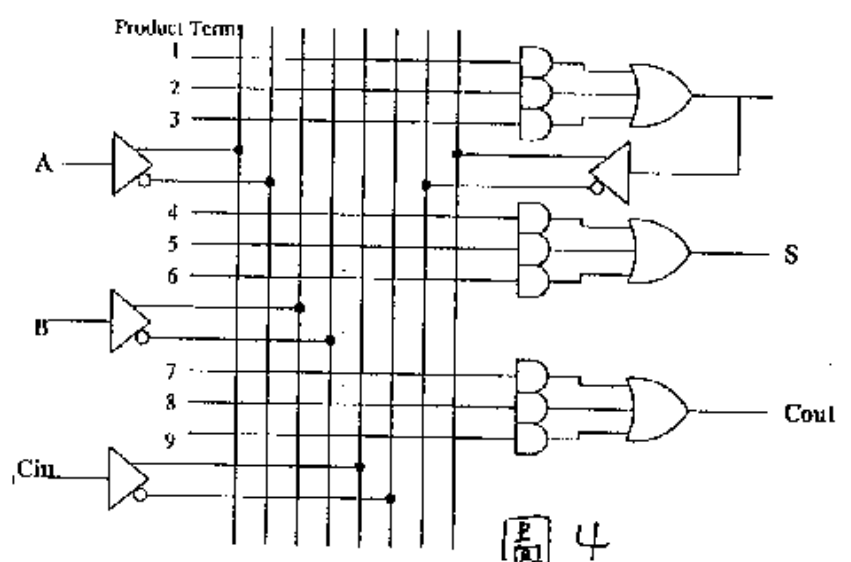


圖 4

AB \ CD	00	01	10	11
00				
01			1	1
10	1	1	1	
11			1	

圖 6

參考用